H8/3067 PC/104 BUS CPU BORD
ＬＦ－５５
取扱説明書

２００４年1月２０日

この度は、h8/3067搭載PC/104 BUS多機能ＣＰＵボードＬＦ－５５をお買い上げいただき、
誠にありがとうございます。

梱包内容をご確認下さい。

- ＬＦ－５５　× １枚
- マニュアル／サンプルソフトディスク　× １枚
- 電源供給用ハウジング　× １個
- ＰＣ／１０４用スペーサ　× ４個

＊ご注意事項

1) 本製品及び本書の内容については、改良のために予告なく変更することがあります。
2) 本製品を使用した結果の他への影響については、責任は負いかねますので、ご了承下さい。
3) 本製品を安全にご使用いただくために、特に以下の点にご注意下さい。

本製品には一般電子機器用（ＯＡ機器・通信機器・計測機器・工作機器等）に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないで下さい。

また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い申し上げます。

- 本書に記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。
- 本取扱い説明書の閲覧には、Adobe社のAcrobatReaderが必要です。
- 本製品実装デバイス資料掲載ＵＲＬ

PC/104関連メーカーリンク
http://www.PC104.com
PC/104仕様書
http://www.controlled.com/pc104/consp5.html
アナログデバイゼス（ADM213/ADM202関連）
http://www.analog.com/
沖電気工業（M82C55A-2関係）
http://www.oki.com/semi/japanese/products/home.htm
日立（H8/3067関係）
http://www.renesas.com/avs/servlet/request
セイコーエプソン（RTC62423関連）
http://www.epsondevice.com/domcfg.nsf
ナショナルセミコンダクタ（USBN9604関連）
http://www.national.com/pf/US/USBN9603.html
富士通（MBM29F040関連）
http://edevice.fujitsu.com/jp/datasheet/jf-mb7_3.html

logic and firm
L&F
有限会社エル アンド エフ
〒175-0083 東京都板橋区徳丸6-3-7
Tel:03-6789-3980　Fax:03-6789-3981
Mail:l-and-f@l-and-f.co.jp
URL:http://www.l-and-f.co.jp

【 目 次 】

1. 概要 ・・・

1. 概要

LF-55 は、日立社製 CPU（H8/3067）を搭載した、PC/104 サイズの CPU ボードです。

2. 特徴

- **CPU に HD64F3067F（日立製作所社製）を搭載し、多機能且つ高速な動作が可能です。**
- **PC/104BUS コンパチブルのスタッキング可能なコネクタを搭載しており、市販されている多種の PC/104 BUS インターフェースボードとカードゲージ等無しで、接続できます。**
- **プログラムは、CPU 内蔵 FLASH または LF-55 上 EPROM の何れからもブート可能です。**
- **H8/3067 内蔵の I/O 信号をコネクタより取出しが可能なため、PWM 制御／位相計測／アナログ信号のサンプリング等のアプリケーションにも対応可能です。**
- **RS232C ポートを3チャネル搭載しています。**
- **USB（バージョン 1.0 または 1.1 準拠）スレーブポートを1チャネル搭載（オプション）し、USB での高速通信が可能です。**
- **82C55×2を搭載し、48 点の入出力(TTL)が可能です。**
- **リアルタイムクロックを搭載しています。**
- **メモリは、電池バックアップ可能な SRAM(1MB)及び FLASH MEMORY(512KB)、EPROM(512KB)を搭載しておりますので、ボード単体でも幅広い応用が可能です。**

3．一般仕様

表3－1に LF-55 の一般仕様を示します。

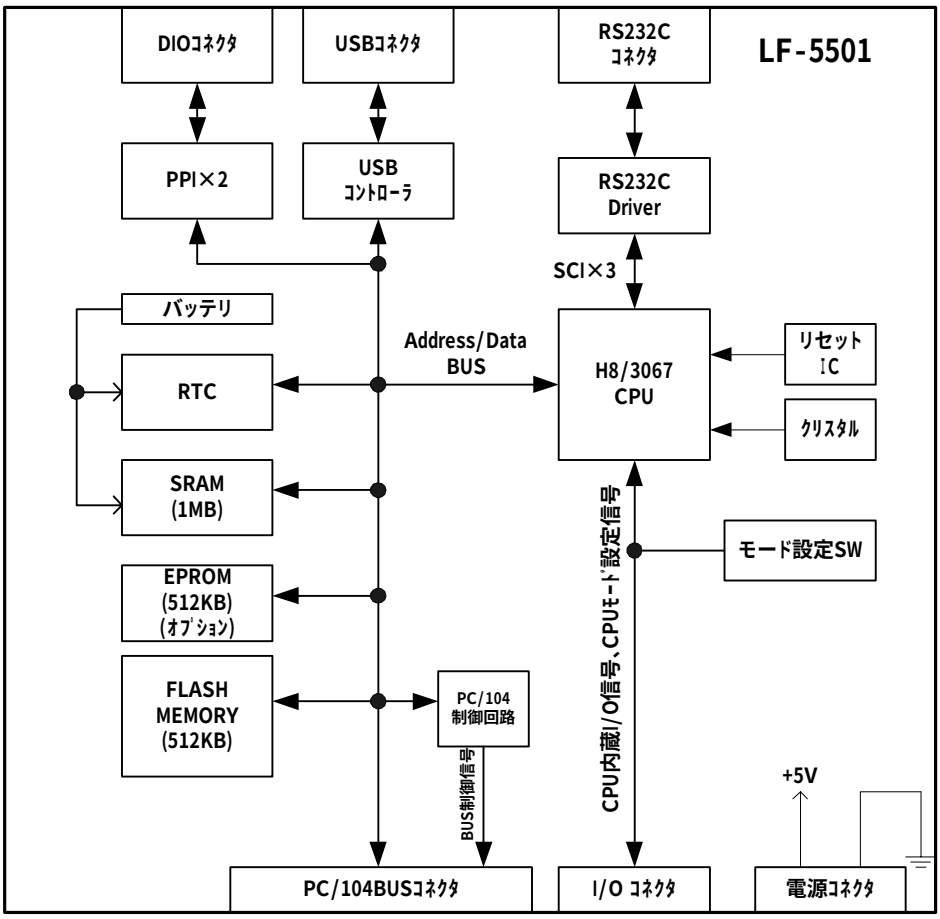
表3－1　LF-55 の一般仕様

項　　目	内　　容
動作電圧範囲	DC+5V±5%
消費電流	90mA(Typ)
動作温度範囲	0℃～+50℃（結露なきこと）
保存温度範範囲	0℃～+70℃（結露なきこと）
外形寸法	90.17mm×95.89mm

4. ブロック図

LF-55 のブロック図を図4－1に示します。

図4－1　LF-55 ブロック図



5．各部の仕様

5－1）CPU

・品　　名　　：HD64F3067F
・メーカー　　：日立製作所
・動作周波数　　：最大 20MHz（LF-55 では 18.432MHz）
・内蔵機能　　：・FLASH ROM（128Kbyte）
・SRAM（4Kbyte）
・シリアルポート（SCI）×3
・ダイレクトメモリアクセスコントローラ(DMAC)×4
・ウォッチドックタイマ×1
・A/D コンバータ（分解能 10 ビット）×8（内 2 チャネルは、8 ビット D/A コンバータと兼用）
・16 ビットタイマ×3
・8 ビットタイマ×4（16 ビット×2）
・プログラマブルタイミングパターンコントローラ(TPC)

5－2）SRAM

・品　　名　　：M628512CLFP-5 または同等品×2
・メーカー　　：日立製作所等
・容　　量　　：512Kbyte（1個当り）
・バックアップ　　：可能

5－3）FLASH MEMORY

・品　　名　　：MBM29F040C-90 または同等品×1
・メーカー　　：富士通等
・容　　量　　：512Kbyte

5－4）EPROM（オプション（ICソケットは標準実装））

・品　　名　　：HN27C4096 または同等品×1
・メーカー　　：日立製作所等
・容　　量　　：512Kbyte

5－5）RS232Cドライバ（1）

・品　　名　　：ADM213EARS または同等品×1
・メーカー　　：アナログデバイゼス等
・電気的使用　　：EIA/TIA-232-E に準拠
・最高伝送レート　　：115,200bps

5－6）RS232Cドライバ（2）

・品　　名　　：ADM202JRN または同等品×1
・メーカー　　：アナログデバイゼス等
・電気的使用　　：EIA/TIA-232-E に準拠
・最高伝送レート　　：115,200bps

5－7) USBコントローラ

- **品　　名　　：USBN9604-28M×1**
- **メーカー　　：ナショナルセミコンダクタ**
- **電気的使用　　：USB1.0 及び USB1.1 に準拠**
- **仕様**
  - **DMA 端子：使用不可**
  - **IRQ 端子：CPU の IRQ5 に接続可能（ジャンパの設定による）**
  - **BUS 端子：CPU P30/D8～P37/D15 にパラレル接続**

5－8) RTC

- **品　　名　　：RTC62423×1**
- **メーカー　　：セイコーエプソン**
- **機　　能　　：24/12 時間切替え、うるう年補正、30 秒補正機能**

5－9) リセットIC

- **品　　名　　：ADM691AARN×1**
- **メーカー　　：アナログデバイゼス**
- **機　　能　　：自動バッテリ・バックアップ電源切替え、リセット信号出力電源電圧監視による、外部チップイネーブル出力制御**

6．アドレスマップ

本項では、LF-55 上デバイスのアドレス割付け及び、H8/3067 各端子の割付けについて説明します。

6－1）メモリマップ

LF-55 は、LF-55 上に実装されている S7 の Bit1、Bit2 により、CPU(H8/3067)の動作モードをモード 5 またはモード 4 に設定することが可能です。
モード 4 は、CPU 内臓 ROM 無効モードであるため、CPU は最初に CPU の CS0 空間に割振られた EPROM 内のプログラムを実行します。
図6－1、図6－2に S7 の設定によるメモリマップを示します。

図6－1　CPU動作モード5

アドレス	デバイス	容　量	空間種類	BUS幅	S7の状態			
					bit1	bit2	bit3	bit4
H'000000 H'01FFFF	CPU内臓 FLASH ROM	128KB	CS0	16bit	OFF	ON	OFF	OFF
H'100000 H'17FFFF	EPROM (HN27C4096)	512KB		16bit				
H'200000 H'27FFFF	FLASH MEMORY (MBM29F040)	512KB	CS1	8bit				
H'400000 H'4FFFFF	SRAM (HM628512×2)	1MB	CS2	16bit				
H'600000 H'67FFFF	PC/104 BUS I/O	512KB	CS3	8bit				
H'680000 H'680003	82C55(U16)	4B						
H'680010 H'680013	82C55(U17)	4B						
H'680020 H'68002F	RTC (RTC62423)	16B						
H'680070 H'680071	USB (USBN9604)	2B						
H'FEE000 H'FEE0FF	CPU内臓I/O(1)	－	CPU内臓 I/O	8/16bit				
H'FFEF20 H'FFFF1F	CPU内臓RAM	4KB	CPU内臓 RAM	16bit				
H'FFFF20 H'FFFFE9	CPU内臓I/O(2)	－	CPU内臓 I/O	8/16bit				

図6－2　CPU動作モード4

アドレス	デバイス	容　量	空間種類	BUS幅	S7の状態			
					bit1	bit2	bit3	bit4
H'000000 H'07FFFF	EPROM (HN27C4096)	512KB	CS0	16bit	ON	ON	OFF	OFF
H'200000 H'27FFFF	FLASH MEMORY (MBM29F040)	512KB	CS1	8bit				
H'400000 H'4FFFFF	SRAM (HM628512×2)	1MB	CS2	16bit				
H'600000 H'67FFFF	PC/104 BUS I/O	512KB	CS3	8bit				
H'680000 H'680003	82C55(U16)	4B						
H'680010 H'680013	82C55(U17)	4B						
H'680020 H'68002F	RTC (RTC62423)	16B						
H'680070 H'680071	USB (USBN9604)	2B						
H'FEE000 H'FEE0FF	CPU内臓I/O(1)	―	CPU内臓 I/O	8/16bit				
H'FFEF20 H'FFFF1F	CPU内臓RAM	4KB	CPU内臓 RAM	16bit				
H'FFFF20 H'FFFFE9	CPU内臓I/O(2)	―	CPU内臓 I/O	8/16bit				

6－2) CPU内部Ⅰ／Oマップ

CPU の各端子は、CPU 内部の設定レジスタにより起動時に表6－1の状態に設定する必要があります。
（設定に誤りがあると LF-55 が動作しない場合があります。）

表6－1　CPU 内部 I/O 割付

ポート名称	端子名	I/O	機　　能
ポート1	P17/A7～P10/A0	O	アドレスバス(A7～A0)に設定
ポート2	P27/A15～P20/A8	O	アドレスバス(A15～A8)に設定
ポート3	P37/D15～P30/D8	I/O	データバス(D15～D8)に設定*1
ポート4	P47/D7～P40/D0	I/O	データバス(D7～D0)に設定
ポート5	P53/A19～P50/A16	O	アドレスバス(A19～A16)に設定
ポート6	P67/φ	O	出力(φ)に設定(PC/104 BUS(B20)に接続)
	P66/!LWR	O	!LWR に設定*1
	P65/!HWR	O	!HWR に設定*1
	P64/!RD	O	!RD に設定*1
	P63/!AS	O	!AS に設定*1
	P62/!BACK	I/O	任意に設定(CN1(33)に接続)
	P61/!BREQ	I/O	任意に設定(CN1(34)に接続)
	P60/!WAIT	I	入力(!WAIT)に設定(PC/104 BUS(A10)に接続)
ポート7	P77/AN7/DA1	I/O	任意に設定(CN1(21)に接続)
	P76/AN6/DA0	I/O	任意に設定(CN1(22)に接続)
	P75/AN5	I	任意に設定(CN1(23)に接続)
	P74/AN4	I	任意に設定(CN1(24)に接続)
	P73/AN3	I	任意に設定(CN1(25)に接続)
	P72/AN2	I	任意に設定(CN1(26)に接続)
	P71/AN1	I	任意に設定(CN1(27)に接続)
	P70/AN0	I	任意に設定(CN1(28)に接続)
ポート8	P84/!CS0	O	!CS0 に設定
	P83/!CS1/!IRQ3/!ADTRG	O	!CS1 に設定
	P82/!CS2/!IRQ2	O	!CS2 に設定
	P81/!CS3/!IRQ1	O	!CS3 に設定
	P80/!RFSH/!IRQ0	I/O	任意に設定(CN1(19)に接続) *2
ポート9	P95/SCK1/!IRQ5	I/O	任意に設定(CN1(3)に接続) *2
	P94/SCK0/!IRQ4	I/O	任意に設定(CN1(4)に接続) *2
	P93/RxD1	I	RxD1 に設定(RS232C ﾚﾍﾞﾙで CN2(8)に接続)
	P92/RxD0	I	RxD0 に設定(RS232C ﾚﾍﾞﾙで CN2(3)に接続)
	P91/TxD1	O	TxD1 に設定(RS232C ﾚﾍﾞﾙで CN2(7)に接続)
	P90/TxD0	O	TxD0 に設定(RS232C ﾚﾍﾞﾙで CN2(2)に接続)
ポートA	PA7/TP7/TIOCB2/A20	I/O	任意に設定(CN1(11)に接続)
	PA6/TP6/TIOCA2/A21	I/O	任意に設定(CN1(12)に接続)
	PA5/TP5/TIOCB1/A22	I/O	任意に設定(CN1(13)に接続)
	PA4/TP4/TIOCA1/A23	I/O	任意に設定(CN1(14)に接続)
	PA3/TP3/TIOCB0/TCLKD	I/O	任意に設定(CN1(15)に接続)
	PA2/TP2/TIOCA0/TCLKC	I/O	任意に設定(CN1(16)に接続)
	PA1/TP1/!TEND1/TCLKB	I/O	任意に設定(CN1(17)に接続)
	PA0/TP0/!TEND0/TCLKA	I/O	任意に設定(CN1(18)に接続)

（続く）

(続き)

ポート名称	端子名	I/O	機　　能
ポートB	PB7/TP15/RxD2	I	RxD2 に設定(RS232C ﾚﾍﾞﾙで CN3(4)に接続)
	PB6/TP14/TxD2	O	TxD2 に設定(RS232C ﾚﾍﾞﾙで CN3(3)に接続)
	PB5/TP13/SCK2/!LCAS	I/O	任意に設定(CN1(5)に接続) *2
	PB4/TP12/!UCAS	I/O	任意に設定(CN1(6)に接続) *2
	PB3/TP11/TMIO3/!DREQ1/!CS4	I/O	任意に設定(CN1(7)に接続)
	PB2/TP10/TMO2/!CS5	I/O	任意に設定(CN1(8)に接続)
	PB1/TP9/TMIO1/!DREQ0/!CS6	I/O	任意に設定(CN1(9)に接続) *2
	PB0/TP8/TMO0/!CS7	I/O	任意に設定(CN1(10)に接続) *2

＊　各ポートの機能設定･ディレクション設定方法に関しては、CPU のデータシートをご参照下さい。

*1　CPU 動作モード4，5設定動作の場合、強制的に表中の機能となります。

*2　各ビットは、ジャンパの設定により使用用途が異なります、詳細は本書8項をご参照下さい。

＊　表中負論理の信号は信号名の先頭に！がつけられています。

6－3) 外部割込み接続

CPU の各割込み端子と外部デバイスとの接続関係を、表6－2に示します。

表6－2　外部割込み割付

割込み要因	接続端子名	ジャンパ設定		接　続　先
		短絡	開放	
!IRQ0	P80/!RFSH/!IRQ0	HJ1	HJ13/14	PC/104 BUS の IRQ7*1
!IRQ4	P94/SCK0/!IRQ4	HJ2	HJ5	PC/104 BUS の IRQ5
!IRQ5	P95/SCK1/!IRQ5	HJ3	HJ6/12	PC/104 BUS の IRQ3
		HJ12	HJ3/6	USB ｲﾝﾀｰﾌｪｰｽﾄﾞﾗｲﾊﾞ(USBN9604-28M)の割込み端子

*1　HJ1 開放時に、P80/!RFSH/!IRQ0 端子は HJ13 短絡でプルダウン、HJ14 短絡ではプルアップされます。

＊　表中負論理の信号は信号名の先頭に！がつけられています。

＊　表中のジャンパ設定部は、接続端子を割込み端子として使用する場合の設定です。

7. コネクタ

本項では、LF-55 に実装されている各コネクタについて説明します。
各コネクタの表中、負論理の信号は信号名の先頭に！がつけられています。
また、入出力方向は LF-55 より見た方向です。

7－1) H8/3067 内臓機能端子接続コネクタ（CN1）

本コネクタは、H8/3067 の内臓 I/O 及び制御端子が接続されています。
表7－1に H8/3067 内臓機能端子接続コネクタの機能／ピンアサインを示します。

表7－1 H8/3067 内臓機能端子接続コネクタ
使用コネクタ：HIF3FC-34PA-2.54DSA（ヒロセ電機）

端子番号	接続先信号名	入出力	PullUp	端子番号	接続先信号名	入出力	PullUp
1	GND	－		2	+5VDC	出力	
3	P95/SCK1/!IRQ5*1*2	入出力	○	4	P94/SCK0/!IRQ4*1*2	入出力	○
5	PB5/TP13/SCK2/!LCAS*2	入出力	○	6	PB4/TP12/!UCAS*2	入出力	○
7	PB3/TP11/TMIO3/!DREQ1/!CS4	入出力	○	8	PB2/TP10/TMO2/!CS5	入出力	○
9	PB1/TP9/TMIO1/!DREQ0/!CS6*2	入出力	○	10	PB0/TP8/TMO0/!CS7*2	入出力	○
11	PA7/TP7/TIOCB2/A20	入出力	○	12	PA6/TP6/TIOCA2/A21	入出力	○
13	PA5/TP5/TIOCB1/A22	入出力	○	14	PA4/TP4/TIOCA1/A23	入出力	○
15	PA3/TP3/TIOCB0/TCLKD	入出力	○	16	PA2/TP2/TIOCA0/TCLKC	入出力	○
17	PA1/TP1/!TEND1/TCLKB	入出力	○	18	PA0/TP0/!TEND0/TCLKA	入出力	○
19	P80/!RFSH/!IRQ0*1	入出力	○	20	AVSS*3	入出力	
21	P77/AN7/DA1	入力		22	P76/AN6/DA0	入力	
23	P75/AN5	入力		24	P74/AN4	入力	
25	P73/AN3	入力		26	P72/AN2	入力	
27	P71/AN1	入力		28	P70/AN0	入力	
29	VREF*3	入出力		30	AVCC*3	入出力	
31	NMI	入力	○	32	!STBY	入力	○
33	P62/!BACK	入出力	○	34	P61/!BREQ	入出力	○

*1 ジャンパの設定により割込み制御信号として使用します。
*2 ジャンパの設定により RS232C 制御信号として使用します。
*3 ジャンパの設定により入出力方向を設定します。
＊ 上記*1*2*3のジャンパ設定の詳細は、本書8項をご参照下さい。

7－2) RS232C (SCI0, SCI1) 接続コネクタ (CN2)

本コネクタは、CPU 内臓 SCI0、SCI1 と CPU 内臓 I/O ポート制御信号が RS232C レベルの信号で接続されます。
表7－2に RS232C(SCI0,SCI1)接続コネクタの機能／ピンアサインを示します。

表7－2 RS232C (SCI0, SCI1) コネクタ
使用コネクタ：HIF3FC-10PA-2.54DSA (ヒロセ電機)

端子番号	信号名	接続先信号名	機 能	端子番号	信号名	接続先信号名	機 能
1	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	2	TxD0	P90/TxD0	送信ﾃﾞｰﾀ 0
3	RxD0	P92/RxD0	受信ﾃﾞｰﾀ 0	4	!RTS0	PB5/TP13/SCK2/!LCAS*1	送信要求信号 0
5	!CTS0	PB4/TP12/!UCAS *1	送信可信号 0	6	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
7	TxD1	P91/TxD1	送信ﾃﾞｰﾀ 1	8	RxD1	P93/RxD1	受信ﾃﾞｰﾀ 1
9	!RTS1	P94/SCK0/!IRQ4 *1	送信要求信号 1	10	!CTS1	P95/SCK1/!IRQ5*1	送信可信号 1

*1 ジャンパの設定により使用用途が異なります。(ジャンパ設定の詳細は、本書8項をご参照下さい。)

7－3) RS232C (SCI2) 接続コネクタ (CN3)

本コネクタは、CPU 内臓 SCI2 と CPU 内臓 I/O ポート制御信号が RS232C レベルの信号で接続されます。
表7－3に RS232C(SCI2)接続コネクタの機能／ピンアサインを示します。

表7－3 RS232C (SCI2) 接続コネクタ
使用コネクタ：HIF3FC-10PA-2.54DSA (ヒロセ電機)

端子番号	信号名	接続先信号名	機 能	端子番号	信号名	接続先信号名	機 能
1	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	2	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
3	TxD2	PB6/TP14/TxD2	送信ﾃﾞｰﾀ 2	4	RxD2	PB7/TP15/RxD2	受信ﾃﾞｰﾀ 2
5	!RTS2	PB0/TP8/TMO0/!CS7*1	送信要求信号 2	6	!CTS2	PB1/TP9/TMIO1/!DREQ0/!CS6*1	送信可信号 2
7	NC	－	－	8	NC	－	－
9	NC	－	－	10	NC	－	－

*1 ジャンパの設定により使用用途が異なります。(ジャンパ設定の詳細は、本書8項をご参照下さい。)

7－4) DIO接続コネクタ(CN4)

本コネクタは、LF-55 上 PPI(M82C55)×2 の I/O 信号が接続されています。
表7－4に DIO 接続コネクタの機能／ピンアサインを示します。

表7－4 DIO接続コネクタ
使用コネクタ:HIF3FCA-50PA-2.54DSA(ヒロセ電機)

端子番号	信号名	Pull Up	IC 番号	Address	端子番号	信号名	Pull Up	IC 番号	Address
1	GND	―	―	―	2	GND	―	―	―
3	PB00	○	U16	H'680001	4	PB01	○	U16	H'680001
5	PB02	○	U16	H'680001	6	PB03	○	U16	H'680001
7	PB04	○	U16	H'680001	8	PB05	○	U16	H'680001
9	PB06	○	U16	H'680001	10	PB07	○	U16	H'680001
11	PC00	○	U16	H'680002	12	PC01	○	U16	H'680002
13	PC02	○	U16	H'680002	14	PC03	○	U16	H'680002
15	PC04	○	U16	H'680002	16	PC05	○	U16	H'680002
17	PC06	○	U16	H'680002	18	PC07	○	U16	H'680002
19	PA00	○	U16	H'680000	20	PA01	○	U16	H'680000
21	PA02	○	U16	H'680000	22	PA03	○	U16	H'680000
23	PA04	○	U16	H'680000	24	PA05	○	U16	H'680000
25	PA06	○	U16	H'680000	26	PA07	○	U16	H'680000
27	PB10	○	U17	H'680011	28	PB11	○	U17	H'680011
29	PB12	○	U17	H'680011	30	PB13	○	U17	H'680011
31	PB14	○	U17	H'680011	32	PB15	○	U17	H'680011
33	PB16	○	U17	H'680011	34	PB17	○	U17	H'680011
35	PC10	○	U17	H'680012	36	PC11	○	U17	H'680012
37	PC12	○	U17	H'680012	38	PC13	○	U17	H'680012
39	PC14	○	U17	H'680012	40	PC15	○	U17	H'680012
41	PC16	○	U17	H'680012	42	PC17	○	U17	H'680012
43	PA10	○	U17	H'680010	44	PA11	○	U17	H'680010
45	PA12	○	U17	H'680010	46	PA13	○	U17	H'680010
47	PA14	○	U17	H'680010	48	PA15	○	U17	H'680010
49	PA16	○	U17	H'680010	50	PA17	○	U17	H'680010

＊ 本コネクタの信号レベルは GND を除き、TTL レベルです。

7－5) PC／104 BUS接続コネクタ1 (CN5)

本コネクタは、PC/104 BUS 用スレーブ基板(8bit 品)をスタッキングするためのコネクタです。
表7－5に PC/104 BUS 接続コネクタの機能／ピンアサインを示します。

表7－5 PC／104 BUS接続コネクタ
使用コネクタ:LFCN64S (エル･アンド･エフ)

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
A1	!IOCHCK	ー	未接続	B1	GND	ー	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A2	SD7	入出力	ﾃﾞｰﾀ 7	B2	RESDRV	出力	ﾘｾｯﾄ
A3	SD6	入出力	ﾃﾞｰﾀ 6	B3	VCC	ー	DC+5V
A4	SD5	入出力	ﾃﾞｰﾀ 5	B4	IRQ9	ー	未接続
A5	SD4	入出力	ﾃﾞｰﾀ 4	B5	-5V	ー	未接続
A6	SD3	入出力	ﾃﾞｰﾀ 3	B6	DREQ2	ー	未接続
A7	SD2	入出力	ﾃﾞｰﾀ 2	B7	-12V	ー	未接続
A8	SD1	入出力	ﾃﾞｰﾀ 1	B8	!ENDXFR	ー	未接続
A9	SD0	入出力	ﾃﾞｰﾀ 0	B9	+12V	ー	未接続
A10	!IOCHRDY	入力	CPU ｳｪｲﾄﾘｸｴｽﾄ	B10	(KEY)	ー	ー
A11	AEN	出力	GND に接続	B11	!SMEMW	ー	未接続
A12	SA19	ー	未接続	B12	!SMEMR	ー	未接続
A13	SA18	出力	ｱﾄﾞﾚｽ 18	B13	!IOWR	出力	I/O ﾗｲﾄ
A14	SA17	出力	ｱﾄﾞﾚｽ 17	B14	!IORD	出力	I/O ﾘｰﾄﾞ
A15	SA16	出力	ｱﾄﾞﾚｽ 16	B15	!DACK3	ー	未接続
A16	SA15	出力	ｱﾄﾞﾚｽ 15	B16	DREQ3	ー	未接続
A17	SA14	出力	ｱﾄﾞﾚｽ 14	B17	!DACK1	ー	未接続
A18	SA13	出力	ｱﾄﾞﾚｽ 13	B18	DREQ1	ー	未接続
A19	SA12	出力	ｱﾄﾞﾚｽ 12	B19	!REFSH	ー	未接続
A20	SA11	出力	ｱﾄﾞﾚｽ 11	B20	SYSCLK	出力	ｼｽﾃﾑｸﾛｯｸ
A21	SA10	出力	ｱﾄﾞﾚｽ 10	B21	IRQ7	入力	割込信号 7*1
A22	SA9	出力	ｱﾄﾞﾚｽ 9	B22	IRQ6	ー	未接続
A23	SA8	出力	ｱﾄﾞﾚｽ 8	B23	IRQ5	入力	割込信号 5*1
A24	SA7	出力	ｱﾄﾞﾚｽ 7	B24	IRQ4	ー	未接続
A25	SA6	出力	ｱﾄﾞﾚｽ 6	B25	IRQ3	入力	割込信号 3*1
A26	SA5	出力	ｱﾄﾞﾚｽ 5	B26	!DACK2	ー	未接続
A27	SA4	出力	ｱﾄﾞﾚｽ 4	B27	TC	ー	未接続
A28	SA3	出力	ｱﾄﾞﾚｽ 3	B28	BALE	ー	未接続
A29	SA2	出力	ｱﾄﾞﾚｽ 2	B29	VCC	ー	DC+5V
A30	SA1	出力	ｱﾄﾞﾚｽ 1	B30	OSC	ー	未接続
A31	SA0	出力	ｱﾄﾞﾚｽ 0	B31	GND	ー	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A32	GND	ー	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	B32	GND	ー	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

*1 ジャンパの設定により CPU とは未接続となります。(ジャンパ設定の詳細は、本書8項をご参照下さい。)
*1 各端子は、10KΩでプルダウンされています。(2004 年 1 月 20 日以降出荷品につき)

7－6) 電源接続コネクタ（CN8）

本コネクタは、LF-55 の電源供給用電源装置と接続します。
表7－6に電源接続コネクタの機能／ピンアサインを示します。

表7－6　電源接続コネクタ
使用コネクタ：IL-G-2P-S3L2-SA（JAE）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	VCC	入力	DC+5V±5%	回路電源
2	GND	―	―	シグナルグランド

7－7) USB接続コネクタ（CN9）

本コネクタは、USB マスターインターフェース搭載装置と接続します。
表7－7に USB 接続コネクタの機能／ピンアサインを示します。

表7－7　USB接続コネクタ
使用コネクタ：DUSB-BRA42-T11（DDK）または同等品

端子番号	信　号　名	入出力	信号レベル	機　　能
1	VDD	入力	+5VDC	HJ16 短絡で LF-55 の電源として使用
2	D-	入出力	―	-DATA
3	D+	入出力	―	+DATA
4	GND	―	―	シグナルグランド

8．スイッチ／ジャンパの設定

本項では、LF-55 上のスイッチ及びジャンパの設定につき記載いたします。

8－1）S7

S7は、4 ビットのディップスイッチで、CPU の動作モード及びプログラム書込みモードの設定を行います。
S7 の設定内容を表8－1に示します。

表8－1　CPU動作モード設定（S7）

機　　能	Bit 状態				設定内容
	1(MD0)	2(MD1)	3(MD2)	4(FWE)	
CPU 動作モード設定	OFF	ON	OFF	OFF	内蔵 ROM 有効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 5)
	ON	ON	OFF	OFF	内蔵 ROM 無効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 4)
	OFF	ON	OFF	ON	ﾕｰｻﾞｰﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ
	OFF	ON	ON	ON	ﾌﾞｰﾄﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ

＊ S7 は、表 8-1 以外の設定は行わないで下さい。
＊ 　　が出荷時の設定です。

・オンボードプログラムの設定

S7 を、ブートプログラムモードに設定し、電源を投入すると CPU はブートプログラムモードに入り、SCI1 からのプログラミング待ち状態となります。
本設定を行うと、**今まで内蔵フラッシュメモリに書き込まれていたプログラムは全て消去されるので、再プログラムを行う場合以外で本設定は行わないで下さい。**
尚　CPUのオンボードプログラム方法に関しては本仕様書9．CPUに対するプログラム書込の項をご参照下さい。

８－2）ＣＰＵ内臓I／O信号接続先設定ジャンパ

CPU 内臓 I/O 信号の一部は、LF-55 上の半田ジャンパパッドの設定により、表 8-2 の接続となります。

表8－2　ＣＰＵ内臓I／O信号接続先設定表

CPU 接続端子名	ジャンパの状態		接　続　先
	短絡	開放	
P80/!RFSH/!IRQ0	HJ1	HJ13/14	PC/104 BUS の IRQ7、CN1(19)
	HJ14	HJ1/13	CN1(19)プルアップ
	HJ13	HJ1/14	CN1(19)プルダウン
P94/SCK0/!IRQ4	HJ2	HJ5	PC/104 BUS の IRQ5、CN1(4)
	HJ5	HJ2	RTS1、CN1(4)
P95/SCK1/!IRQ5	HJ3	HJ6/12	PC/104 BUS の IRQ3、CN1(3)
	HJ12	HJ3/6	USB ｲﾝﾀｰﾌｪｰｽﾄﾞﾗｲﾊﾞ(USBN9604-28M)の割込み端子、CN1(3)
	HJ6	HJ3/12	CTS1、CN1(3)
	ー	HJ3/6/12	CN1(3)
PB0/TP8/TMO0 /!CS7	HJ7	ー	!RTS2、CN1(10)
	ー	HJ7	CN1(10)
PB1/TP9/TMIO1 /!DREQ0/!CS6	HJ8	ー	!CTS2、CN1(9)
	ー	HJ8	CN1(9)
PB4/TP12/!UCAS	HJ4	ー	CTS0、CN1(6)
	ー	HJ4	CN1(6)
PB5/TP13/SCK2 /!LCAS	HJ9	ー	!RTS0、CN1(5)
	ー	HJ9	CN1(5)

＊　**表中負論理の信号は信号名の先頭に！がつけられています。**

＊　　**が出荷時の設定です。**

８－3）ＣＰＵアナログ電源接続先設定ジャンパ

CPU 内臓 ADC の電源及びリファレンス電源の供給元は、LF-55 上の半田ジャンパパッドの設定により、表 8-3 の接続となります。

表8－3　ＣＰＵアナログ電源接続先設定表

CPU 接続端子名	ジャンパの状態		接　続　先
	短絡	開放	
AVCC	HJ11	ー	LF-55 の VCC より供給
	ー	HJ11	CN1(30)より供給
VREF	HJ11/17	ー	LF-55 の VCC より供給
	ー	HJ17	CN1(29)より供給
AVSS	HJ10	ー	LF-55 の GND より供給
	ー	HJ10	CN1(20)より供給

＊　　**が出荷時の設定です。**

８－4) ＵＳＢコネクタ電源ピン接続先設定ジャンパ（ＨＪ１６）

USB 接続コネクタ(CN9)の電源ピン(1)より、LF-55 の電源を供給する場合に HJ16 の半田ジャンパパッドを短絡します。

出荷時は、開放になっております。

注意）HJ16 を短絡した状態で、LF-55 の電源コネクタ又は PC/104 コネクタ(CN5)より+5VDC を供給しないで下さい。（USB 機器と接続した場合に、LF-55 または接続機器を破損する恐れがあります。）

８－5) ＳＲＡＭチップセレクト接続先設定ジャンパ（ＪＰ４）

LF-55 上 SRAM のチップセレクト信号接続先を選択するジャンピンです。

表 8-4 に設定状態と設定内容を示します。

表8－4　ＳＲＡＭチップセレクト接続先設定表

JP4 の状態		設　定　内　容
短絡	開放	
1-2	2-3	SRAM のﾁｯﾌﾟｾﾚｸﾄは、ADM691 の/CEOUT に接続され、CPU の/CS2 が Low 時も VCC がｽﾚｯｼｮﾙﾄﾞ電圧以下の場合は SRAM はﾃﾞｨｾｰﾌﾞﾙとなります。
2-3	1-2	SRAM のﾁｯﾌﾟｾﾚｸﾀは、CPU の/CS2 へ接続されます。

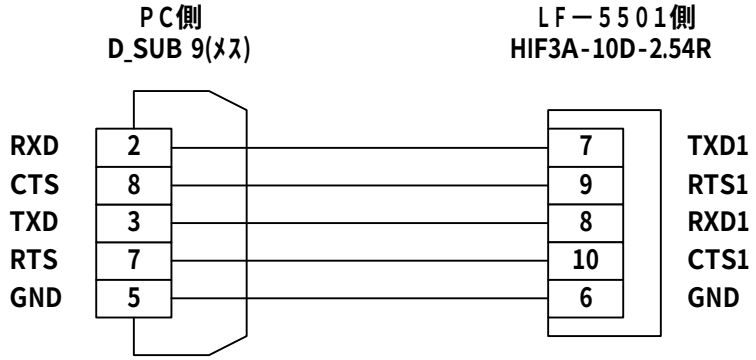
＊　　が出荷時の設定です。

9．ＣＰＵに対するプログラム書込

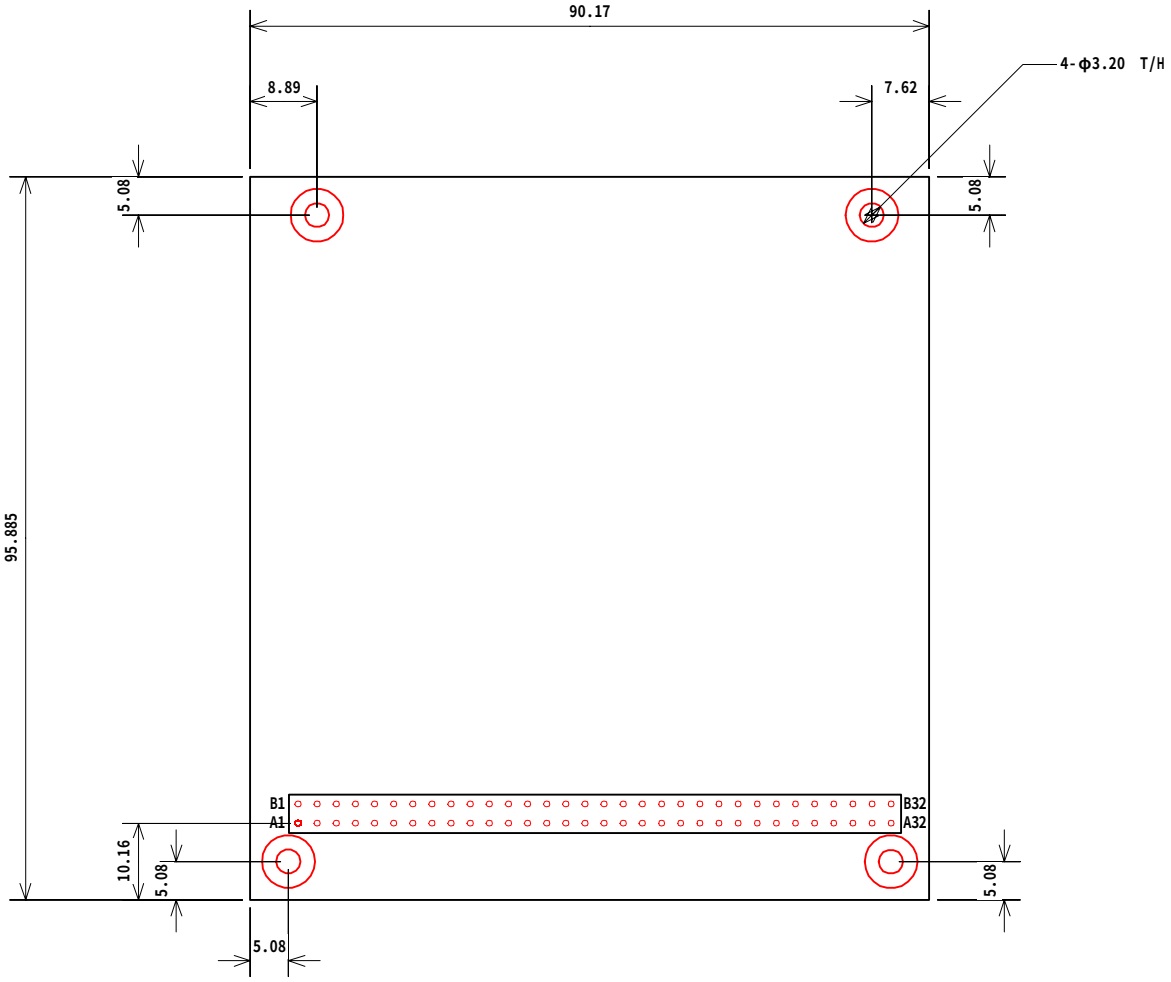
LF-55 上の CPU は、以下の方法によりオンボードでのプログラム書換が可能です。

① **本装置の電源が OFF 状態で、LF-55 上 S7 をブートプログラムモードに設定し、お手持ちの CPU 書込みソフトウェアがインストールされている PC の RS232C ポートと LF-55 の CN2 を図 9-1 のケーブルで接続します。**
② **PC 及び LF-55 の電源を ON にします。**
③ **CPU 書込みソフトウェアの書込み手順に従いプログラムを書込みます。**
④ **プログラムのロード終了を確認後、LF-53 の電源を OFF にし、PC との接続ケーブルを外します。**
⑤ **LF-55 上 S7 を内蔵 ROM 有効通常動作モード（CPU Mode5）に設定します。**
⑥ **LF-55 の電源を投入し、動作を確認します。**

図9－1　LF-55<->PC 接続ケーブル結線図



１０．ＬＦ－５５基板外形


90.17
8.89
7.62
4-φ3.20 T/H
5.08
5.08
95.885
B1
A1
B32
A32
10.16
5.08
5.08
5.08

１１．使用時の留意点

LF-55 をご使用の際は、下記事項にご留意下さい。

１１－1）ＰＣ／１０４　ＢＵＳへのアクセス

LF-55 の PC/104 BUS は、物理的形状･ピンアサイン（一部を除く）は規格に準拠しておりますが、BUS タイミングに関しては H8/3067 CPU の信号線が接続（一部加工されている）されているため、PC/104 BUS タイミングには準拠しておりません、PC/104 BUS にスレーブボードを接続する場合には、H8/3067 CPU のバスステートコントローラ（BSC）等により BUS タイミングを調整する必要がある場合があります。
（弊社で取扱のあるボードに限り設定データをご提供できます）

また、H8/3067 CPU のバイトデータの並びはインテル系とは逆になっている為、スレーブボードに対し 16bit 以上でアクセスする場合注意が必要です。
（short a = 0x1234 の場合、メモリ上でインテル系は 34 12 ですが日立系は 12 34 となります）

１１－2）ＥＰＲＯＭ使用時の注意事項

EPROM をご使用の場合、EPROM にプログラムもしくはデータを ROM ライタで書き込む時にはビッグエンディアンモードで書き込むか、リトルエンディアンで書き込む場合には上位バイトと下位バイトをスワップさせる必要があります。

90.17
5.08
6.33
10.14
19.05
19.05
69.85
90.17
CN4
CN1
CN7
CN2
CN3
16.51
2.54
17.78